

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-086258

(43)Date of publication of application : 27.03.1990

(51)Int.Cl.

H04M 11/00
H04Q 1/446

(21)Application number : 63-234790

(71)Applicant : NEC CORP
NEC SHIZUOKA LTD

(22)Date of filing :

21.09.1988

(72)Inventor : WATANABE ISAO

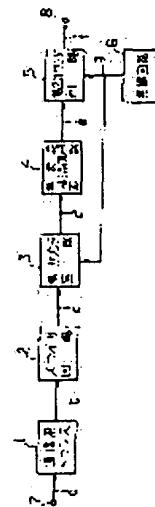
TAKIMOTO KATSUHIKO

(54) SIGNAL DETECTION CIRCUIT

(57)Abstract:

PURPOSE: To detect only a signal within a range without misdetection by making the signal detection frequency range constant.

CONSTITUTION: A slicer circuit 2 converts an input analog signal into a digital signal, the 1st counter circuit 3 decides the upper limit of a detected frequency, detects a frequency lower than the upper limit frequency and a monostable multivibrator circuit 4 decides the lower limit of the detected frequency and detects the frequency higher than the lower limit frequency. Then the 2nd counter circuit 5 generates an output only when the period of the output of the monostable multivibrator circuit 4 is longer than a prescribed period and acts like an on-guard timer. Thus, mis-detection of the signal is prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑪ 公開特許公報 (A) 平2-86258

⑫ Int. Cl. 5

H 04 M 11/00
H 04 Q 1/446

識別記号

3 0 3

府内整理番号

8020-5K
8843-5K

⑬ 公開 平成2年(1990)3月27日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 信号検出回路

⑮ 特 願 昭63-234790

⑯ 出 願 昭63(1988)9月21日

⑰ 発明者 渡辺勲 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑰ 発明者 瀧本克彦 静岡県掛川市下俣4番2号 静岡日本電気株式会社内
 ⑰ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑰ 出願人 静岡日本電気株式会社 静岡県掛川市下俣4番2号
 ⑰ 代理人 弁理士 岩佐義幸

明細書

(従来の技術)

従来、この種の信号検出回路としては、第2図に示すように通信用トランス9、帯域ろ波回路10、全波整流回路11、低域ろ波回路12、レベル比較回路13およびタイマー回路14を継続接続し、通信用トランス9の1次側を信号検出回路の入力端子15とし、タイマー回路14の出力を信号検出回路の出力端子16とした構成になっていた。

(発明が解決しようとする課題)

上述した従来の信号検出回路は帯域ろ波回路によって信号を抽出している。この帯域ろ波回路は、コンデンサ、抵抗および増幅器から構成されており、信号の誤検出を防止するため信号通過帯域を狭めようとするときには、ろ波器の遮断周波数周辺で信号伝達時間の遅延が大きくなってしまい、断続数の多い(インターバルの短い)信号は検出しきれないという欠点があった。

本発明の目的は、このような欠点を除去した信号検出回路を提供することにある。

1. 発明の名称

信号検出回路

2. 特許請求の範囲

(1) 電話交換回線からの各種信号を検出する信号検出回路であって、

電話交換回線からのアナログ信号をデジタル信号に変換する変換回路と、検出周波数の上限を決定し、この上限周波数より低い周波数を検出する第1の検出回路と、検出周波数の下限を決定し、この下限周波数より高い周波数を検出する第2の検出回路と、誤検出保護のための検出遅延回路との継続接続回路を備えることを特徴とする信号検出回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、電話交換回線を利用するデータ伝送装置の自動発呼機能に関し、特に、電話交換回線からの各種信号(発信音、呼出し音、話中音、第2発信音)を検出する信号検出回路に関する。

〔課題を解決するための手段〕

本発明は、電話交換回線からの各種信号を検出する信号検出回路であって、

電話交換回線からのアナログ信号をデジタル信号に変換する変換回路と、検出周波数の上限を決定し、この上限周波数より低い周波数を検出する第1の検出回路と、検出周波数の下限を決定し、この下限周波数より高い周波数を検出する第2の検出回路と、誤検出保護のための検出遅延回路との総接続回路を備えることを特徴としている。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例のブロック図である。この信号検出回路は、通信用トランス1、スライサ回路2、第1カウンタ回路3、単安定マルチバイブレータ回路4および第2カウンタ回路5を総接続し、発振回路6を第1カウンタ回路3および第2カウンタ回路5に接続し、通信用トランス1の1次側を信号検出回路の入力端子7とし、第

2カウンタ回路5の出力を信号検出回路の出力端子8とした構成となっている。

本実施例の信号検出回路は、信号の周波数範囲を $(A \pm \alpha) [Hz]$ と定め、

$$A + \alpha = 1/T_1 [Hz]$$

$$A - \alpha = 1/T_2 [Hz]$$

により信号の周波数を検出し、誤検出保護のため検出遅延回路による $T_3 [S]$ のオン・ガードを付加した方式である。

第1図において、通信用トランス1は、電話交換回線の直流回路とスライサ回路2以降の回路とを直流的に切り放すためのものである。

スライサ回路2は、入力のアナログ信号をデジタル信号へ変換する。

第1カウンタ回路3は、検出周波数の上限すなわち $A + \alpha [Hz]$ を決定し、この上限周波数より低い周波数を検出する。

単安定マルチバイブルエタ回路4は、検出周波数の下限すなわち $A - \alpha [Hz]$ を決定し、この下限周波数より高い周波数を検出する。

第2カウンタ回路5は、単安定マルチバイブルエタ回路4の出力が所定期間 $T_3 [S]$ より長くなつたときのみ出力を発生することにより、オン・ガード・タイマーとして機能する。

発振回路6は、第1カウンタ回路3および第2カウンタ回路5のクロック源として用いる。

次に、本実施例の動作を説明する。なお、第3図、第4図および第5図は第1図に示した回路の各部の信号波形図であり、第3図は周波数が $A - \alpha [Hz]$ より高く、かつ、 $A + \alpha [Hz]$ より低い信号を入力したときの各部信号波形図、第4図は周波数が $A + \alpha [Hz]$ より高い周波数の信号を入力したときの各部波形図、第5図は周波数が $A - \alpha [Hz]$ より低い周波数の信号を入力したときの各部波形図である。

まず、周波数が $A - \alpha [Hz]$ より高く、かつ、 $A + \alpha [Hz]$ より低い信号を入力したときの動作を説明する。

第3図の受信入力信号aが第1図の入力端子7に入力されると、通信用トランス1は信号bを出

力する。

信号bが入力されたスライサ回路2は、アナログ信号である信号bをデジタル信号である信号cに変換して出力する。

信号cが入力された第1カウンタ回路3は、信号cがH(ハイ)レベルになった時点から発振回路6のクロックgのカウントを開始し、信号cがHレベルになっている間、カウントを継続する。時間 $T_1 [S]$ をカウント・アップしたならば、信号cがL(ロー)レベルになっている間、第1カウンタ回路3の出力である信号dはHレベルに固定され、信号cがL(ロー)レベルになった時点で信号dはLレベルに固定される。

したがって、第1カウンタ回路3は、 $T_1 [S]$ より長い周期の入力信号が入力されたときのみHレベルを出力する。すなわち、 $1/T_1 [Hz]$ を境に $1/T_1 [Hz]$ より低い周波数のみ検出することができる。

信号dが入力された単安定マルチバイブルエタ回路4は、信号dがHレベルに変わったタイミング

から T_2 (S) の間、レベルを出力する。ここで信号 d の周期が T_2 (S) より短い場合は、単安定マルチバイブレータ 4 の出力である信号 eにおいて、H レベルに変わる手前で再び T_2 (S) の間、レベルを出力する。このため信号 d の周期が T_2 (S) より長くなったり、または信号 d が H レベル固定になったりしない限り、信号 e を H レベルに固定することができる。信号 d の周期が T_2 (S) より長くなったりした場合や、信号 d が H レベルに固定になった場合は、信号 e は H レベルになる。したがって、単安定マルチバイブレータ回路 4 は、 T_2 (S) より短い周期の信号が入力されたときのみ、 T_2 (S) より長い時間レベルを出力する。すなわち、 $1/T_2$ (Hz) を境に、 $1/T_2$ (Hz) より高い周波数のみ信号 e を H レベル固定という形で表すことができる。

信号 e が入力された第 2 カウンタ回路 5 は、信号 e が H レベルになった時点からカウントを開始し、信号 e が H レベルになっている間、カウントを継続する。時間 T_3 (S) をカウント・アップ

信号 a, b, c, d は第 3 図で説明したものと同様であるが、単安定マルチバイブレータ回路 4 の入力信号 d の周期が $T_2 = 1/A - \alpha$ (S) より長いため、単安定マルチバイブレータ回路 4 の出力信号 e を H レベルに固定できない。単安定マルチバイブレータ回路 4 は、信号 d が H レベルに変わったタイミングから T_2 (S) の間 H レベルを出力し、 T_2 (S) 後は信号 d が H レベルに変わるまで H レベルを出力する。これにより、第 2 カウンタ回路 5 は、入力信号 e の H レベルになっている時間が T_2 (S) であることからカウント・アップすることができず、信号検出回路の出力端子 8 は H レベルに固定され、信号は検出されない。

以上、本発明の一実施例を説明したが、この信号検出回路を構成する第 1 カウンタ回路、単安定マルチバイブレータ回路、第 2 カウンタ回路および発振回路は、デジタル回路から構成されているため、安易に集積回路化を実現できる。

(発明の効果)

以上説明したように本発明は、信号の検出周波

したならば、第 2 カウンタ回路 5 の出力である信号 f は H レベルに固定され、信号 e が H レベルになった時点で信号 f は H レベルに固定される。したがって、第 2 カウンタ回路 5 は、信号 e が T_3 (S) より長い H レベルになったときのみ、H レベルを出力する。すなわち、第 2 カウンタ回路 5 は、信号検出回路のオン・ガード・タイマーとして用いられる。

第 4 図は、周波数が $A + \alpha$ (Hz) より高い周波数の信号を入力したときの各部波形図である。信号 a, b, c は第 3 図で説明したものと同様であるが、第 1 カウンタ回路 3 の入力信号 c の周期が $T_1 = 1/A + \alpha$ (S) より短いため、第 1 カウンタ回路 3 がカウント・アップできず、信号 d が H レベルに固定される。これにより、単安定マルチバイブレータ回路 4 および第 2 カウンタ回路 5 は動作せず、信号検出回路の出力端子 8 は H レベルに固定され、信号は検出されない。

第 5 図は、周波数が $A - \alpha$ (Hz) より低い周波数の信号を、入力したときの各部波形図である。

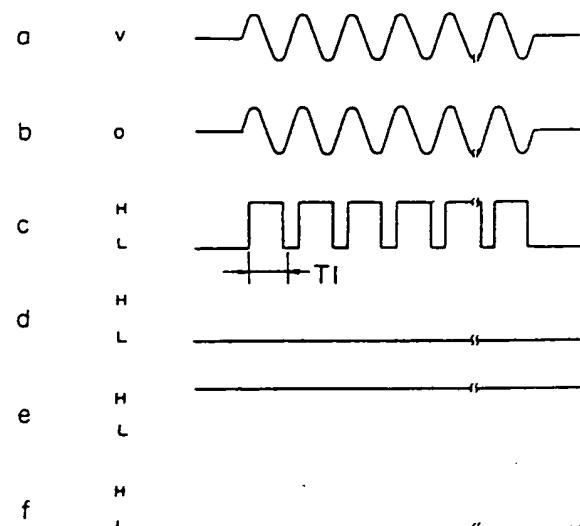
数範囲を一定にすることことができ、範囲外の信号に対しては入力レベルに関係なく誤検出することなく、範囲内の信号のみを検出することができる効果がある。

4. 図面の簡単な説明

第 1 図は、本発明の一実施例のブロック図、第 2 図は、従来の信号検出回路のブロック図、第 3 図～第 5 図は、第 1 図の実施例の動作を説明するための各部波形図である。

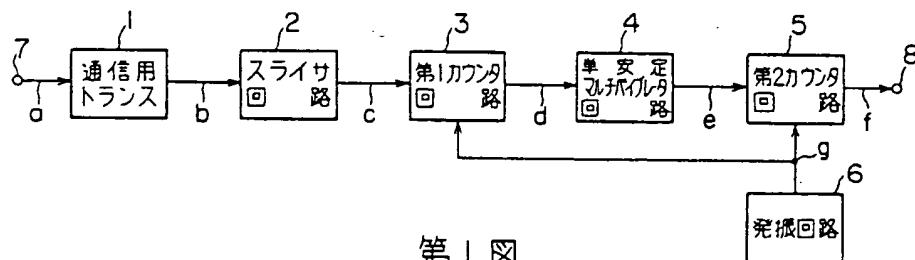
- 1 通信用トランス
- 2 スライサ回路
- 3 第 1 カウンタ回路
- 4 単安定マルチバイブレータ回路
- 5 第 2 カウンタ回路
- 6 発振回路
- 7 信号検出回路・入力端子
- 8 信号検出回路・出力端子
- 9 通信用トランス
- 10 帯域ろ波回路
- 11 全波整流回路

12 低域ろ波回路
 13 レベル比較回路
 14 タイマー回路
 15 信号検出回路・入力端子
 16 信号検出回路・出力端子

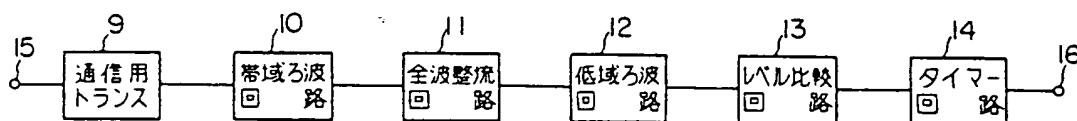


代理人 弁理士 岩 佐 義 幸

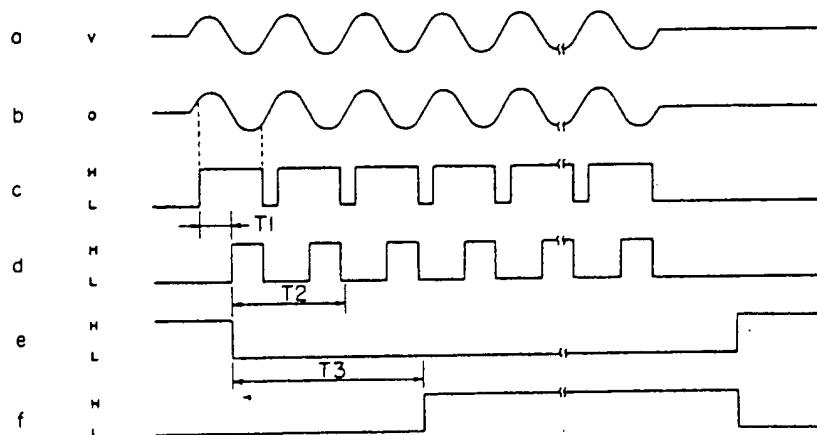
第4図



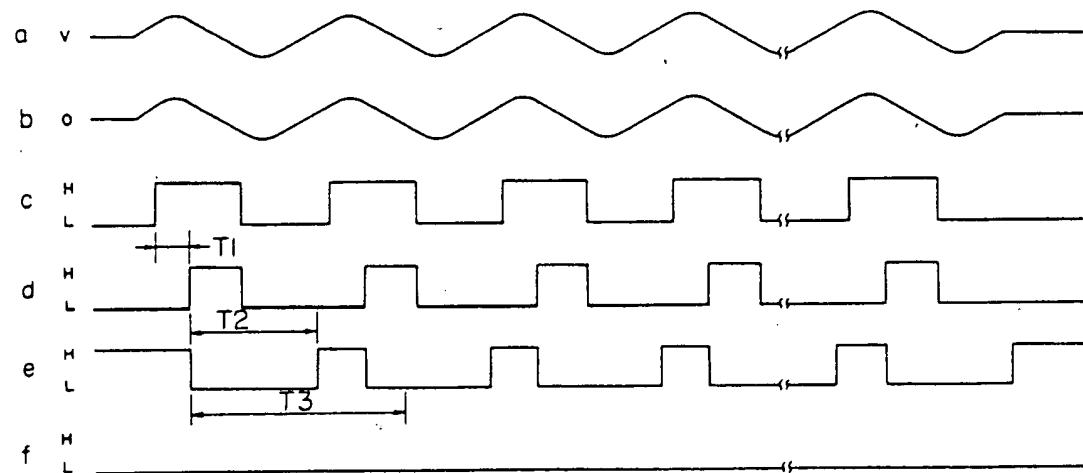
第1図



第2図



第3図



第5図

